

UNA CENTRAL TELEX CON PROCESADORES TRIPLICADOS

J. A. Grompone

N. M. Mace

Interfase Ltda
Zabala 1372, Montevideo, Uruguay

I. INTRODUCCION

El presente artículo describe el diseño y la realización de una Central Telex Automática, fabricada en Uruguay, basada en un sistema distribuido de computadoras.

Este proyecto, poco usual en un país en vías de desarrollo, fue el resultado de una Licitación Pública realizada por ANTEL(1).

Se presentan aquí las características técnicas más interesantes que resultaron de la experiencia obtenida por las empresas adjudicatarias(2), en el proyecto y la fabricación de un prototipo de Central Telex. El equipo se encuentra ya en explotación real y la Administración ha adquirido otro ejemplar similar.

Además de los autores, trabajaron en el proyecto y diseño los ingenieros Juan Gherzi, Jaime Jerusalmi y Enrique Salles.

(1) Administración Nacional de Telecomunicaciones, empresa estatal que tiene monopolio sobre las telecomunicaciones en el Uruguay.

(2) Las empresas adjudicatarias fueron G.M.S Limitada, Rivera 3314, e INTERFASE Limitada, Zabala 1372, ambas de Montevideo, Uruguay; actuando en forma conjunta para este proyecto.

II. ARQUITECTURA GENERAL

Las características generales del diseño fueron establecidas, parcialmente por ANTEL y parcialmente por las empresas adjudicatarias. Se deseaba que el producto final tuviera características técnicas similares a los equipos existentes en el presente. Los puntos más interesantes que se consideraron fueron:

1. La central estará conectada a la red nacional de telex de 50 baudios, con Alfabeto Telegrafico N.2 (Baudot) [1].

2. La central cumplirá con las recomendaciones del CCITT correspondientes a las comunicaciones Telex. [1].

3. Si bien el prototipo se implementara con 128 líneas, se preverá la posible expansión hasta 1024 terminales sin cambios fundamentales en hardware ni programación.

4. La confiabilidad del sistema es el objetivo principal del diseño y para cumplir con este fin se empleará toda la redundancia necesaria para lograr un tiempo medio entre fallas (calculado) de 10 años.

Se decidió implementar la Central Telex con un sistema distribuido de computadoras que trabajan en tiempo real. Las computadoras poseen dos funciones diferentes: procesadores centrales (o centrales como se dirá por brevedad) y procesadores frontales (o periféricos).

La operación de la Central consiste en la comunicación de dos grupos de máquinas que intercambian información. De las centrales hacia los periféricos se envían órdenes y caracteres Baudot, de los periféricos hacia las centrales se envían mensajes y caracteres Baudot, ver fig. 1.

Los procesadores periféricos se encargan de todo el manejo de las líneas de la central. La información serie que llega por cada línea es convertida en un octeto y sincronizada. En forma inversa, un octeto enviado a un periférico es convertido en información serie en una línea externa.

Los procesadores centrales actúan en forma simultánea y procesan idéntica información. Deben, en consecuencia, en todo momento coincidir en sus resultados.

Para manejar caracteres Baudot (de 5 bits) y disponer de un repertorio de órdenes y mensajes, se eligieron computadoras de 8 bits de largo de palabra. Estas microcomputadoras, disponibles en unidades de una placa, ofrecen una solución modular y de bajo costo para un sistema distribuido de esta naturaleza.

Como la información se intercambia por octetos, en la forma sincronica y paralelo, para realizar esta función, la Central posee relojes de tiempo real (no están indicados en la figura 1).

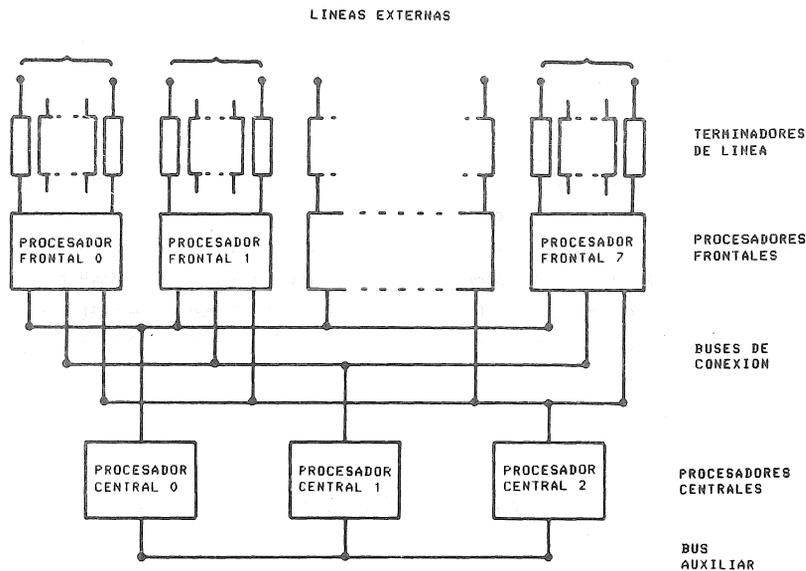


FIGURA 1: Arquitectura del Sistema

Los relojes de tiempo real, que se encuentran triplicados y su acción ocurre por mayoría, tienen las siguientes funciones principales:

- marcar el comienzo de un ciclo de transferencias.
- sincronizar la comunicación entre centrales y periféricos.
- suministrar la base del sistema de tiempos de las máquinas.

La acción de los relojes de tiempo real se manifiesta a través de dos mecanismos diferentes:

- La generación de una interrupción a todas las máquinas, centrales o periféricas, cada 1 milisegundo (INTE).
- La generación de una bandera (BATRA), cada 138 milisegundos, que señala el comienzo de un nuevo ciclo de transferencias.

La elección de estos tiempos se vincula con el manejo de los caracteres Baudot.

La comunicación entre las centrales y los periféricos

esta sincronizada por la interrupcion de 1 milisegundo. Comienza cuando las centrales reciben la señal BATRA, cada 138 milisegundos. Los perifericos aguardan a que las centrales indiquen que ha comenzado un nuevo ciclo de transferencias.

La comunicacion permite intercambiar octetos que pueden ser caracteres Baudot, ordenes o mensajes.

Como las maquinas centrales deben acceder a diversos perifericos, la comunicacion posee estructura de bus, de tres octetos. Un octeto de direccion permite seleccionar hasta 255 perifericos diferentes, un octeto de datos envia octetos hacia los perifericos seleccionados y un octeto de datos recibe datos de los perifericos. Como existen tres maquinas, el bus se encuentra triplicado. En realidad, cada periferico lee tres datos que provienen de las centrales y envia un dato a los tres buses de las tres centrales.

Las tres maquinas se comunican entre si a traves de un bus auxiliar. Este bus realiza la comunicacion de señales destinados a:

- a) sincronizacion de maquinas en el arranque y transferencias.
- b) Sincronizacion de los tres relojes redundantes.

III. PROCESADORES FRONTALES (PERIFERICOS)

Los procesadores perifericos realizan las siguientes tareas:

- a) Manejan las lineas de la central, es decir, generan y reciben codigos Baudot, generan y reciben pulsos de discado, invierten la corriente de la linea cuando es necesario y miden la distorsion de los caracteres que llegan.
- b) Realizan la conversion serie/paralelo y paralelo/serie de los codigos Baudot.
- c) Sincronizan los caracteres de manera que la comunicacion con los procesadores centrales pueda realizarse en tiempos fijos.
- d) Crean mensajes destinados a las centrales que indican las diferentes etapas de una llamada.
- e) Obedecen ordenes de los procesadores centrales que realizan las diferentes etapas de una llamada.

f) Investigan errores internos del propio periférico y generan mensajes de advertencia a las centrales.

g) Investigan la coincidencia de los tres procesadores centrales y generan mensajes de advertencia en caso de error.

Las tareas se organizan en base a dos señales:

1. Señal de interrupción (INTE). Es una señal de hardware, generada por mayoría de tres señales de interrupción que se reciben por los buses de comunicaciones. Constituyen la interrupción que ocurre cada milisegundo.

2. Mensaje de comienzo de transferencias. Este mensaje es una orden enviada por los procesadores centrales. Es decodificada por mayoría por la programación del procesador frontal. Constituye la indicación de comienzo de un lapso de 138 milisegundos (BATRA).

El diagrama general de la programación se muestra en la figura 2. Existen tres áreas diferenciadas: una rutina de inicialización; un programa principal y un programa de interrupción. El programa principal es un loop que se ocupa, fundamentalmente de la verificación interna de la memoria RAM y la memoria ROM. Este programa ocupa todo el tiempo que no se emplea en el programa de interrupción.

Todas las tareas de tiempo real del procesador frontal se organizan como un gran programa de atención de la interrupción. En la figura 2 se muestra el diagrama.

La interrupción comienza con la comunicación con las centrales y la generación de mayoría y el análisis de la información recibida. Es esta información la que organiza la ulterior actividad de la rutina.

El contador de interrupciones, que ordena las tareas, se inicializa con la orden de "comienzo de transferencias" enviada por las centrales. Durante la interrupción en que se recibe esta orden se envía a las centrales información de tipo general (mensaje de no coincidencia de centrales, resultado de chequeo incorrecto de memoria RAM o ROM, chequeo de sus latches de comunicaciones, distorsión pedida anteriormente de alguna línea). A partir de la recepción de esta orden, y durante las 16 interrupciones siguientes, se realiza el intercambio de información. En la *i*-ésima interrupción se intercambian caracteres, mensajes y órdenes correspondientes a la *i*-ésima línea de cada proveedor periférico: cada una corresponde a una línea.

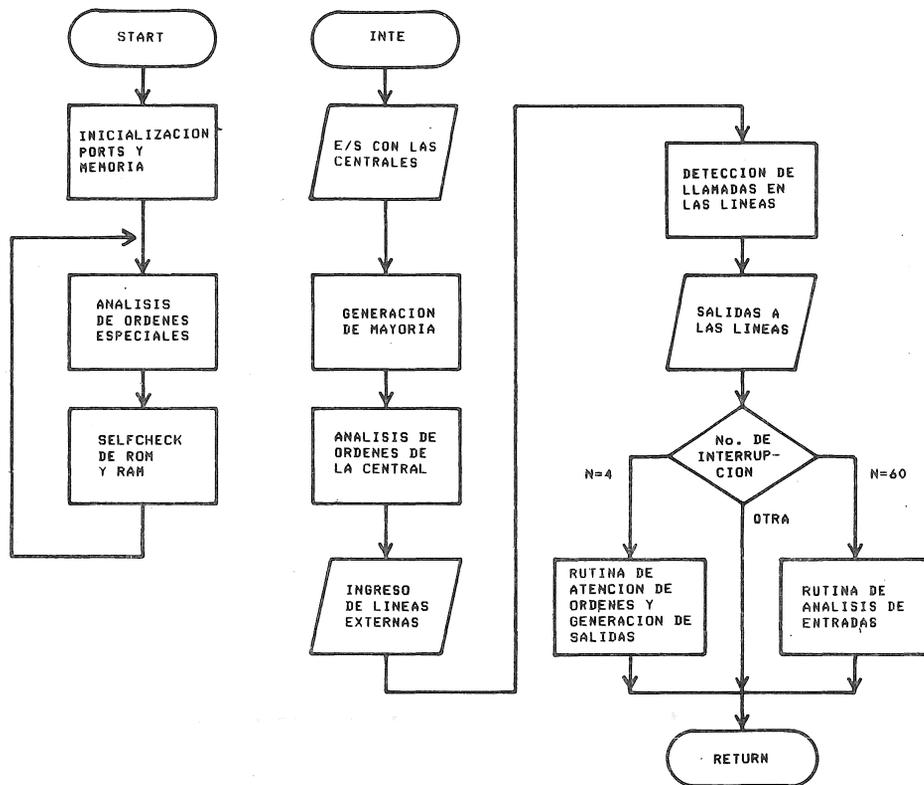


FIGURA 2: Programas del Procesador Frontal

La información que llega de las centrales es convertida, por mayoría, en información depurada, es generado un diagnostico y es analizado su contenido.

La comunicación con las líneas externas se realiza en el resto de las rutinas de la interrupción. Esta comunicación se realiza a través de colas.

Los datos muestreados, cada 2 milisegundos, son depositados en una cola de entrada, en memoria. Los datos de salida a las líneas son tomados, cada 5 milisegundos de una cola de salida, en memoria. La cola de entrada deber ser analizada y la de salida generada a intervalos mucho mayores que un milisegundo ya que hacerlo con ese periodo significaría una ineficiencia intolerable. Un periodo razonable es 138 milisegundos que coincide con el elegido para las comunicaciones. Esta elección simplifica la programación, no significa una demora apreciable en la transmisión y minimiza el uso de áreas para almacenamiento de caracteres.

Las rutinas de analisis de entrada, atencion de ordenes y generacion de salidas ocurren, respectivamente, en las interrupciones numero 60 y 4 del ciclo de transferencias, ver figura 2. Esto hace que las restantes interrupciones, interrumpan estas tareas. Se obtiene asi un gran aprovechamiento del tiempo.

El estado de cada una de las lineas esta definido por una tabla de parametros. Esta tabla incluye, en particular, la direccion de la rutina de atencion del estado de llamada en curso, tanto en recepcion como en transmision. Un controlador de tiempo real se encarga del despacho de tareas y de actividades de inicializacion de punteros, validez de direcciones de rutinas y verificacion de punteros.

Para el analisis de los datos de entrada, depositados en la cola de entrada, cada rutina de atencion analiza, aproximadamente, 138 milisegundos de datos en cada ejecucion. Define la informacion recibida y la rutina a ser utilizada en la siguiente ejecucion. La informacion recibida y la direccion de la rutina siguiente se coloca en la tabla de parametros.

En la generacion de datos de salida se procede exactamente igual. En este caso, un puntero define el lugar donde se insertan en la cola de salida los datos generados. Un puntero de salida indica el lugar de donde se tomara la siguiente salida. Durante la generacion de salidas las rutinas correspondientes mantienen una diferencia entre los punteros de carga y salida correspondientes a valores de 40 y 300 milisegundos.

IV. PROCESADORES CENTRALES

Los procesadores centrales realizan las siguientes tareas:

- a) Armado y cancelacion de llamadas a traves de los mensajes y las ordenes que intercambian con los perifericos.
- b) Tarifado y documentacion de las llamadas completadas.
- c) Conmutacion de los caracteres de una comunicacion.
- d) Envio de mensajes aclaratorios a las lineas.
- e) Suministrar informacion acerca del estado y ocupacion de las lineas.
- f) Investigar y documentar errores internos de las

centrales, errores de los perifericos, interrupciones de corriente, temperaturas demasiado altas, etc.

g) Generar documentacion destinada a mantenimiento.

h) Intentar recuperar la marcha de centrales, lineas o perifericos encontrados en falla.

Los requerimientos de tiempo medio entre fallas exigen el uso de unidades centrales redundantes. Se ha implementado una unidad central triplicada por dos razones fundamentales:

1. Una memoria de 8 bits necesita, para recuperar errores, 4 bits adicionales. Esto hace que una logica de diagnostico y recuperacion de errores, para dos unidades centrales, sea comparable en complejidad con una tercera maquina de 8 bits.

2. El reducido costo de una microcomputadora de 8 bits y el caracter modular de tres maquinas iguales frente a una logica de diagnostico y recuperacion de errores.

Si el largo de palabra fuera de 16 bits en lugar de 8, el peso de estos argumentos es menor y de alli que practicamente la mayoria de las Centrales Telex se hayan construido con maquinas de 16 bits y unidades centrales duplicadas.

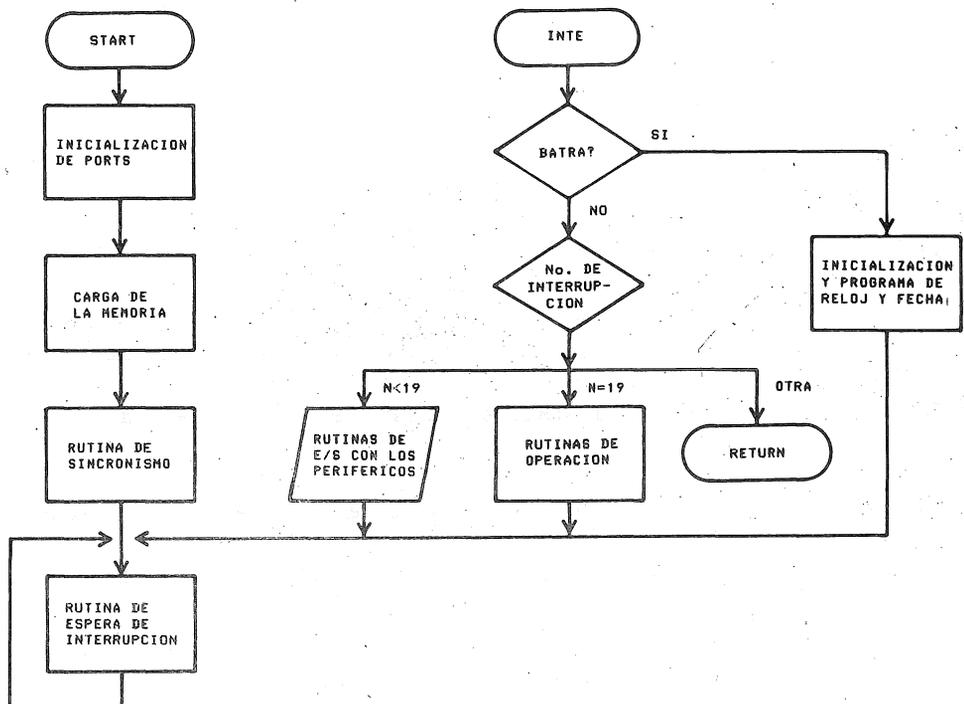


FIGURA 3: Programas del Procesador Central

Si el numero de perifericos es reducido, la confiabilidad depende de los procesadores centrales. A medida que aumenta el numero de perifericos aumenta la probabilidad de que una puerta de comunicaciones quede habilitada en forma permanente, por fallas sobre un bus, provocando su inutilizacion. El numero de perifericos se vuelve entonces el factor dominante en la confiabilidad del sistema. El punto de quiebre depende de la confiabilidad de las comunicaciones y de los computadores centrales.

El funcionamiento de las tres maquinas es sincronico, a menos de la pequeña deriva entre dos instantes sucesivos de sincronizacion de los tres relojes que suministran las interrupciones y banderas de transferencia.

La programacion de las maquinas centrales se muestra en la figura 3.

El programa de inicializacion comienza en START. Luego de inicializar las puertas de entrada/salida se carga la memoria. A continuacion se ejecuta el programa de sincronismo, destinado a lograr que las tres maquinas centrales arranquen sincronizadas. Los detalles de este proceso se analizan en la seccion VI. Este Sincronismo en el arranque se logra a menos de ± 1 microsegundo.

La operacion continua sincronica porque la señal BATRA (cada 138 milisegundos) restaura el sincronismo. Todas las tareas realizadas por las unidades centrales tienen una duracion inferior a 138 milisegundos.

Antes de finalizar el tiempo disponible, cada unidad se coloca en estado HALT, a esperar una señal BATRA para comenzar un nuevo ciclo en sincronismo.

Los cristales de las computadoras tienen una precision mayor que 0,1%. La tarea mas larga en cada ciclo es menor que 138 milisegundos. El maximo desfasaje entre dos maquinas al final de una tarea es menor que $138 \times 0,001 = 138$ microsegundos. No se ha tomado ninguna precaucion para el desfasaje entre tareas aun cuando esto puede disminuir las incidencias de posibles fallas correlacionadas.

La organizacion de las tareas de las maquinas centrales se realiza en el programa de interrupcion.

El programa de la interrupcion esta regulado por contador y por la aparicion de BATRA. Con la aparicion de BATRA se coloca el contador en cero, se inicializan punteros y se ejecuta el programa de reloj y de fecha.

Las interrupciones 1 hasta 18 ejecutan el programa de entrada salida. En la interrupcion 19 se lanza el resto de la operacion de la central. Toda interrupcion ulterior, hasta una nueva aparicion de BATRA, no realiza otra actividad que incrementar el contador y regresar.

En el resto del tiempo se procede a realizar toda la actividad de atencion de llamadas, atencion de resets de centrales y perifericos, atencion de consolas y, finalmente, tareas de enrutamiento, tarifacion, documentacion de llamadas y documentacion en general.

Para administrar el tiempo de operacion se emplean dos tecnicas diferentes. Cada linea necesita atencion en un ciclo de 138 milisegundos, de otro modo se perderian caracteres. Como el limite superior de terminales previsto de 1024, para lograr la atencion de todas las lineas en un ciclo, se limito el tiempo maximo de ejecucion de cada rutina a 100 microsegundos. El estado de cada linea ha sido, en muchos casos, subdividido en varios subestados a fin de lograr estos tiempos de ejecucion.

Para las tareas de enrutamiento o documentacion de llamadas que son de tiempo de ejecucion mucho mayor (del orden de varios milisegundos) se procede en forma diferente. Se dispone de un algoritmo para la determinacion del maximo tiempo de ejecucion para una tarea. Las maquinas realizan una estimacion de este tiempo y efectuan un numero limitado de estas tareas.

V. BUSES DE COMUNICACION

La Central Telex posee dos tipos de buses de comunicacion: comunicacion con los procesadores frontales e intercomunicacion entre procesadores centrales.

En todos los casos, es necesario asegurar que ocurran los siguientes hechos:

a. Una falla en un dispositivo no debe anular las comunicaciones del conjunto.

b. Un dispositivo apagado o desconectado no debe anular las comunicaciones ni generar señales que no se puedan interpretar.

Cuando se desconecta un equipo se tiene el mismo estado logico que un nivel bajo en la entrada. De esta manera, con un adecuado diseño de la logica y la programacion, se puede tolerar la desconexion de cualquiera de los buses de comunicacion triplicados de la maquina. Estos criterios han sido adoptados en el diseño.

VI. RELOJES Y SINCRONIZACION DE LAS TRES MAQUINAS

El reloj esta triplicado (un reloj por central) y utiliza un metodo conocido de generacion de señales sincronicas [2] que se ilustra en la figura 4. Las señales que se generan son:

1. Señal de 1 milisecondo de periodo que se utiliza como interrupcion para todas las maquinas.

2. Señal de 138 milisegundos de periodo (BATRA) que marca el comienzo de las transferencias de datos, ordenes y mensajes entre centrales y perifericos.

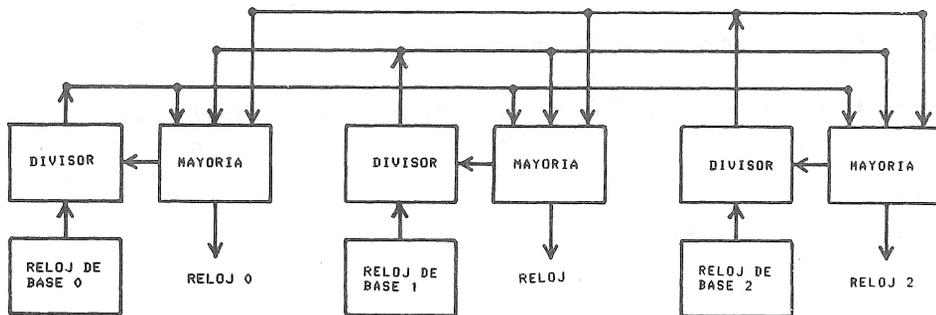


FIGURA 4: Relojes Triplicados

El reloj primario para la generacion de la interrupcion es el reloj de la microcomputadora central. Un contador divide esta señal. 1024 cuentas equivalen a 1 milisecondo. Al llegar a la cuenta 1023 el contador genera un pulso y deja de contar. El contador es reseteado por una señal que es la mayoria de las tres señales de los tres relojes. Esta configuracion permite el funcionamiento con tres relojes funcionando correctamente o con dos relojes funcionando correctamente, independientemente de la falla del tercero. Permite, ademas, sincronizar las tres señales de interrupcion a menos de un ciclo del reloj de base.

El metodo utilizado para la generacion de BATRA es similar al usado en la generacion de la interrupcion. El reloj primario es la señal de interrupcion. El contador divide por 138 y emplea tambien el esquema de la figura 4.

Para la sincronizacion de las maquinas usan la señal de tiempo BATRA. El mecanismo de sincronizacion es el siguiente:

a) La sincronizacion comienza con un loop de espera de la señal BATRA.

b) Una vez encontrada se espera mas de 1 milisegundo.

c) Luego de la espera se envia a las otras dos maquinas la señal de sincronismo y se comienza la espera de la siguiente señal BATRA.

d) Recibida la segunda BATRA se leen las señales de sincronismo provenientes de las otras dos maquinas. Si ambas señales estan presentes, la maquina comienza su funcionamiento normal. Si solo esta una de las señales, comienza la espera de la otra señal de sincronismo, durante un maximo de 10 BATRAS.

e) Transcurridas 10 BATRAS se supone que la tercera maquina no esta en condiciones de marcha y las dos presentes comienzan su funcionamiento normal.

La espera de 10 BATRA es mayor que cualquier diferencia de tiempo en el arranque de las maquinas. La espera (en b) para generar la señal de sincronismo evita problemas de azar en la lectura por parte de las otras maquinas, que leen las banderas a continuacion de detectar BATRA.

Es conocido el caracter nocivo, para los sistemas redundantes, de las fallas de hardware que generan una señal cierta para una unidad y una falsa para otra. Este tipo de fallas es siempre posible, pero se ha cuidado que no ocurran en dos situaciones importantes: cuando se desconecta una unidad y cuando se inicializa el sistema.

Cuando se quita la alimentacion a una maquina o cuando se desconecta el bus que encamina las señales de sincronismo, las otras dos maquinas deben ver el mismo nivel logico en las entradas correspondientes a la tercera maquina. Este nivel debe ser correspondiente a ausencia de sincronismo. Todas estas funciones se logran con un separador adecuado para las señales.

Al inicializar el sistema, los ports de salida (que son programables) estan en un estado de alta impedancia, por lo tanto la salida se interpreta como circuito abierto (1 logico en los separadores). Cuando se configura la port, automaticamente pasa a cero. Se desea que la salida no indique sincronismo cuando se desconecta la fuente de poder (es decir, en circuito abierto).

Por lo tanto, en el momento del arranque siempre existe un pulso para que este pulso no genere nunca un sincronismo falso, se espera una BATRA y luego de una espera conveniente se inicializan las ports y la señal de sincronismo. Esto asegura que el pulso no valido no ocurra en la zona en que cada maquina analiza los bits de sincronismo.

VII. DETECCION DE ERRORES Y REINICIALIZACION

La Central Telex posee mecanismos de deteccion de errores de los procesadores y de intentos de retoma de la marcha. Estas acciones ocurren por un proceso interactivo entre procesadores centrales y perifericos.

Los tres procesadores centrales verifican el comportamiento de los procesadores frontales usando tres criterios. El primero consiste en investigar las comunicaciones. A estos fines el procesador frontal envia, alternativamente, los bytes 0101 0101 y 1010 1010 en momentos oportunos. Si las centrales no detectan un mensaje valido acumulan un error al procesador frontal correspondiente. De esta manera se tiene una razonable vigilancia de las comunicaciones.

El segundo criterio de error consiste en investigar la secuencia de bytes recibidos. Todo error de consistencia de la secuencia aumenta el contador frontal.

El tercer criterio de error proviene de autodiagnostico del procesador frontal. El mensaje de errores internos de la memoria (ver figura 2) aumenta el contador correspondiente.

Quando la cuenta de errores de un procesador frontal supera 16, se inicia una accion de reinicializacion. Esta accion consiste en enviar una orden de RESET y verifica que el procesador responde con el codigo de RESET REALIZADO. En caso de una falla persistente de hardware, no se lograra recuperar la marcha del procesador, pero se dispondra de la informacion que permita diagnosticar el origen de la falla.

Los procesadores centrales son vigilados por el conjunto de los procesadores perifericos. Cada procesador frontal actua como un votador para la informacion recibida desde las tres centrales: la reciben por triplicado y la procesan por mayoria. En caso de no coincidencia se envia un mensaje a las tres centrales. Cada central los acumula al contador de errores correspondiente.

Una central solo es reinicializada cuando existe un acuerdo de las otras. De esta manera se evita que una central en falla pueda perturbar otra en funcionamiento correcto. Para lograr esto, cuando una central j encuentra que la central i ha acumulado 256 errores, envia una señal de reset de hardware. Cada central posee una linea de reset de las otras dos. El AND de estas dos señales esta conectado al reset verdadero de la maquina.

Una vez ocurrido el reset, es transferido el contenido de la memoria de las otras dos maquinas a traves de un

mecanismo de comunicacion, paralelo, sincronico, muy eficiente. Una central se resetea, a lo sumo, tres veces. Solo la intervencion del operador permite cancelar este limite. Esta cota permite evitar que dos centrales no resulten sobrecargadas en su tarea de resets a una tercera central, fuera de servicio, por falla persistente.

Puede pensarse que un punto debil del mecanismo de vigilancia se encuentra en un caso de falla de un procesador periferico que de por resultado un mensaje "central mal". Resulta muy improbable que una falla en un procesador frontal genere este mensaje para una central que funciona correctamente y, a su vez, no genere otros errores que lo coloquen muy rapidamente fuera de servicio. Por lo tanto, todo mensaje de error cursado a una central, se considera valido. Son los limites de 16 y 256 errores quienes resuelven un posible conflicto de esta naturaleza.

VIII. CONCLUSIONES

El diseño e implementacion de sistemas redundantes, con deteccion y recuperacion de fallas es, sin duda, el camino que abre mas perspectivas para el tratamiento de datos en los proximos años.

La experiencia practica obtenida en este proyecto de Central Telex de 128 lineas permite encarar en el momento actual, el diseño de un equipo de 512 lineas. Se extendera a este caso los conceptos de triplicacion, recuperacion de errores y distribucion de tareas. Se proyecta, ademas, mejorar la tolerancia a errores de programacion de todo el sistema, tecnica ya empleada en la configuracion actual.

REFERENCIAS

- [1] Tecnica Telegrafica, Libro Naranja, CCITT, 1978.
- [2] Synchronization and Matching in Redundant Systems.
D. Davies and J.F.Wakerly.
IEEE, Transactions on Computers, Vol C-27, June
1978.